

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-179616

(43)Date of publication of application : 23.07.1988

(51)Int.Cl.

H03K 5/156
H03K 3/64
// H04L 25/02

(21)Application number : 62-010990

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 20.01.1987

(72)Inventor : TAKAHASHI TOSHIRO

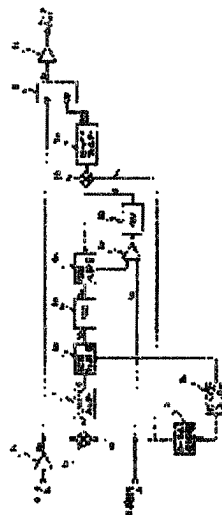
(54) JITTER ADDITION DEVICE

(57)Abstract:

PURPOSE: To add optional jitter by providing a 1st oscillator outputting a signal phase-locked to an IF signal and a modulation oscillator phase-locked to an output signal of the 1st oscillator by a phase locked loop circuit and added with jitter by a modulation signal.

CONSTITUTION: The oscillator 6a outputting a signal phase-locked with an IF signal S1, a local oscillator 3 supplying a local signal having a frequency corresponding to an input data signal SR to 1st mixer 2a and a modulation oscillator 6b added with jitter by a modulation signal SM and phase-locked with the output signal of the oscillator 6a by a phase-locked loop circuit are provided. Moreover, a synchronizing circuit 8 to synchronize the output signal of a 2nd mixer with the input data signal SR is provided. Thus, low frequency jitter in existence in the input data signal is reduced.

Thus, even if a frequency offset exists between the data signal SR given actually and the nominal rate of the data signal SR, no irregular phase difference exists with the data signal SR actually inputted and the data signal added with intended jitter only is obtained.



⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-179616

⑬ Int. Cl. ⁴	識別記号	庁内整理番号	⑭ 公開	昭和63年(1988)7月23日
H 03 K 5/156		6959-5J		
		8626-5J		
// H 04 L 25/02	3 0 2	A-7345-5K	審査請求 未請求	発明の数 1 (全7頁)

⑮ 発明の名称 ジッタ付加装置

⑯ 特 願 昭62-10990

⑰ 出 願 昭62(1987)1月20日

⑱ 発 明 者 高 橋 利 郎 東京都練馬区旭町1丁目32番1号 株式会社アドバンテ
スト内

⑲ 出 願 人 株式会社 アドバンテ 東京都練馬区旭町1丁目32番1号
スト

⑳ 代 理 人 弁理士 村松 保男

明 細 書

1. 発明の名称
ジッタ付加装置

2. 特許請求の範囲

(1). 自動周波数制御回路に於いて I F 信号が位相同期する信号を出力する第 1 発振器と、上記 I F 信号を得るために入力データ信号とローカル信号とをミキシングする第 1 ミキサーと、この第 1 ミキサーに上記入力データ信号に対応する周波数のローカル信号を供給するためのローカル発振器と、位相同期回路によって上記第 1 発振器の出力信号と位相同期されると共に変調信号によりジッタが付加される変調用発振器と、この変調用発振器より出力された信号と上記ローカル信号とをミキシングして元の入力データ信号の基本周期と同じ周期となる信号を出力する第 2 ミキサーと、この第 2 ミキサーの出力信号と上記入力データ信号とを同期させるための同期回路よりなることを特徴とするジッタ付加装置。

(2). 第 1 ミキサーで入力データ信号の N 倍の高周波とミキシングして I F 信号を得た後、第 2 ミキサーの出力を 1/N にして元の入力データ信号の基本周期と同じ周期となる信号を得る特許請求の範囲第 1 項記載のジッタ付加装置。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は例えば通信回線網の耐ノイズ特性などを評価するために、通信回線内で PCM などのデジタル入力データ信号に意図的にジッタを付加し、通信回線に出力する装置に関するものである。

「従来技術」

従来においては例えば特願 61-76110 に記載されている様な装置があり、この装置は第 3 図に示す様なブロック構成になっている。以下第 3 図のブロック構成図に基づいて従来のジッタ付加装置の動作を説明する。

バッファアンプ (1a) を通過し高調波成分を持った、実際の入力データ信号 (以後、入力デー

特開昭63-179616(2)

ク信号と称する) S_n は、同期回路(8)へ送られると共にローカル信号 S_L とミキシングされIF信号を得るために第1ミキサー(2a)に送られる。この第1ミキサー(2a)のもう一方の入力には、実際に入力されたデータ信号 S_n の公称レートに対応したローカル信号 S_L を供給するためにローカル発振器(3)が接続されている。即ちこのローカル発振器(3)の発振周波数は、データ信号の公称レートによって定められる。

この例では第1ミキサー(2a)に於いて入力データ信号 S_n の基本波及び高調波とローカル信号 S_L をミックスして一定周波数のIF信号 S_i を取り出すようにしている。従ってその瞬時の入力データが基本周波数の $1/N$ であっても、第1ミキサー(2a)によってそのN倍の高調波とローカル信号 S_L とをミックスしてIF信号 S_i を得ることができるので、入力データ信号 S_n が不連続であっても連続なIF信号 S_i を得ることが可能となる。

第1ミキサー(2a)より出力された信号は、

とによって入力データ信号に意図的にジッタが付加された信号 S_i を得ることができる。

以上の様な装置に於いて、入力データ信号 S_n はジッタを有しておらず、更にデータ信号の公称レートとの間に周波数オフセットが無いと仮定した場合のタイミングチャートが第4図である。

「発明が解決しようとする問題点」

以上のような構成になっている従来のジッタ付加装置においては、データ信号の公称レートに応じてローカル発振器(3)より出力するローカル信号 S_L の周波数を設定している。このために公称レート信号 S と実際に入力される入力データ信号 S_n との間に周波数オフセット T が存在することが考えられる。このオフセット値が大きい場合にはIF信号 S_i がバンドパスフィルター(4)を通過できない状態となり、VCO(6)の位相同期がかけられない状態が生ずる。このような場合には、再生クロック信号 S_r は入力データ信号 S_n との間に何ら関係のない信号に成ってしまう。又この現象を防止するためにバンドパスフィ

バンドパスフィルター(4)を通過して信号 S_i となり、位相比較器(5)へ入力される。この位相比較器(5)のもう一方の入力には、信号 S_r と位相同期回路を構成するVCO(6)の出力信号が入力される。この位相比較器(5)の出力信号に変調信号 S_m が加算されてVCO(6)の制御信号となる。このためにVCO(6)の出力信号 S_c は、位相変調を受けることになる。この信号 S_c と同じ周波数で位相ジッタを有するVCO(6)の出力信号 S_r は、第2ミキサー(2b)へ送られる。この第2ミキサー(2b)のもう一方の入力には、前記ローカル発振器(3)によって第1ミキサー(2a)に送られた信号と同じローカル信号 S_L が供給される。

第2ミキサー(2b)より出力された信号は、ローパスフィルター(7)を通り信号 S_o となる。この信号 S_o は、元の入力データ信号 S_n の基本周波数と同じ周波数で意図的に位相変調されたクロック信号である。同期回路(8)においてこの信号 S_o に入力データ信号 S_n を同期させるこ

ルター(4)の帯域を広くすると、入力データ信号 S_n の持つジッタが軽減されずに再生クロック信号 S_r には、意図的に付加されたジッタ以外に元の入力データ信号 S_n の持つジッタが存在することになる。この状態を示したタイミングチャートが第5図である。

「問題点を解決する手段」

自動周波数制御回路に於いてIF信号が位相同期する信号を出力する発振器と、上記IF信号を得るために入力データ信号とローカル信号とをミキシングする第1ミキサーと、この第1ミキサーに上記入力データ信号に対応する周波数のローカル信号を供給するためのローカル発振器と、位相同期回路によって上記発振器の出力信号と位相同期されると共に変調信号によりジッタが付加される変調用発振器と、この変調用発振器より出力された信号と上記ローカル信号とをミキシングして元の入力データ信号の基本周期と同じ周期となる信号を出力する第2ミキサーと、この第2ミキサーの出力信号と上記入力データ信号とを同期させ

特開昭63-179616(3)

るための同期回路を設けることにより、入力データ信号に存在する低周波ジッタが軽減され、しかも実際に入力されたデータ信号と、そのデータ信号の公称レートとの間に周波数オフセットが存在する場合でも、実際に入力されたデータ信号との間に不規則な位相差が無く且つ意図されたジッタのみが付加されたデータ信号が得られる。

「実施例」

第1図に本発明の実施例であるブロック構成図を示す。

バッファアンプ(1a)を通過した高調波成分を持つ入力データ信号 S_a は同期回路(8)へ送られるとともに、ローカル信号 S_L とミキシングされIF信号を得るために第1ミキサー(2a)に送られる。この第1ミキサー(2a)のもう一方の入力には、上記入力データ信号 S_a の周波数に対応するローカル信号 S_L を供給するためにローカル発振器(3)が接続されている。このローカル発振器(3)は複数個のクリスタル発振器を切り換えるか、シンセサイザを用いて得ること

第1位相比較器(5a)のもう一方の入力には、常に周波数が一定である第1VCO(6a)の出力信号 S_v が入力されている。従ってIF信号 S_i は第1VCOの出力信号 S_v に同期し、第1位相比較器(5a)の出力信号が、ローパスフィルター(7a)を経てローカル発振器(3)へ入力される。これによってIF信号 S_i の周波数は、常に一定になる様に制御される。即ち実際の入力データ信号 S_a が公称レートに対して周波数オフセットを有している場合には、そのオフセット量に対応してローカル信号 S_L の周波数が自動的に設定されることになる。

第1VCO(6a)の出力信号 S_v は第1位相比較器(5a)へ入力されると共に第2位相比較器(5b)にも入力される。この第2位相比較器(5b)のもう一方の入力には、第1VCO(6a)の出力信号 S_v とPLLを構成する第2VCO(6b)の出力信号 S_w が入力される。この第2位相比較器(5b)の出力信号に変調信号 S_m が加算されて第2VCO(6b)の制御信号となる

ができる。

この例では第1ミキサー(2a)に於いて入力データ信号 S_a の基本波及び高調波とローカル信号 S_L とをミックスすることによって一定周波数のIF信号 S_i を取り出すようにしている。従ってその瞬時のデータが基本波の $1/N$ の周波数であっても第1ミキサー(2a)によってN倍の高調波とローカル信号 S_L をミックスしてIF信号 S_i を得ることができるので、入力データ信号 S_a が不連続であっても連続なIF信号 S_i を得ることができる。

第1ミキサー(2a)より出力されてバンドパスフィルター(4)を通過したIF信号 S_i は、第1位相比較器(5a)に入力される。尚ここでバンドパスフィルター(4)は比較的広帯域に設定されているものとする。これによって公称レート信号 S と入力データ信号 S_a との間に周波数オフセットが存在しても、IF信号 S_i はバンドパスフィルター(4)を通過することが可能となる。

第2VCO(6b)の出力信号 S_w は位相変調を受けることになる。

第2VCO(6b)の出力信号 S_w は第2ミキサー(2b)へ送られる。この第2ミキサー(2b)のもう一方の入力には、前記ローカル発振器(3)より第1ミキサー(2a)へ入力された信号と同じローカル信号 S_L が供給される。第2ミキサー(2b)より出力された信号はローパスフィルター(7b)を経て信号 S_2 となる。この信号 S_2 は元の入力データ信号 S_a の基本周波数と同じ周波数で任意に位相変調されたクロック信号である。同期回路(8)に於いてこの信号 S_2 を入力データ信号 S_a に同期させることによって、入力データ信号 S_a に意図されたジッタのみが付加された信号 S_2 が得られることになる。

上記の同期回路(8)に於いて、信号 S_2 は入力データ信号 S_a に於いてジッタが乗っていない部分と同期が取られるように成っている。これは第2VCO(6b)の制御信号を形成している変調信号 S_m に一定の直流電圧Eをオフセット電圧

特開昭63-179616(4)

として含ませ、信号 S_2 と入力データ信号 S_m との間に定常的な位相を存在させることによって実現できる。

以上の動作を第2図に示すタイミングチャートにより説明すると、バッファアンプ(1a)を通過した後に同期回路(8)と第1ミキサ(2a)に送られる入力データ信号 S_m には、公称レート信号 S に対して周波数オフセット T やジッタが存在している。この入力データ信号 S_m は第1ミキサ(2a)に於いてローカル発振器(3)より出力されるローカル信号 S_L とミキシングされた後バンドパスフィルター(4)を経てIF信号 S_1 となり第1位相比較器(5a)へ入力される。この第1位相比較器(5a)のもう一方の入力には周波数が一定に設定された第1VCO(6a)の出力信号 S_v が入力されており、この信号 S_v に信号 S_1 を同期させることによって常にIF信号 S_1 の周波数は一定となる。つまりローカル信号 S_L の周波数は、入力データ信号 S_m の平均周波数に従って制御されることになる。

も低周波の入力ジッタが軽減されているクロック信号である。この信号 S_2 を同期回路(8)において入力データ信号 S_m に同期させることによって、信号 S_m に存在する低周波ジッタが軽減され且つ信号 S_m の平均位相に同期しており、更に又意図したジッタが付加されている信号 S_2 となる。

以上の実施例に於いてはローカル信号 S_L について特に規定していないが、高い中心周波数を持つバンドパスフィルター(4)を用いて第1ミキサ(2a)に於いて入力データ信号のN倍の周波数を有するローカル信号 S_L とミキシングして高周波のIF信号を得た後に、第2ミキサ(2b)に於ける出力を $1/N$ にして入力データ信号 S_m の基本周波数と同じ周波数の信号を得る様な構成にしてもよい。

「発明の効果」

入力データ信号に存在する低周波ジッタが軽減された、しかも入力データ信号の平均位相に同期した尚且つ任意のジッタが付加されたデータ信号

第1位相比較器(5a)に入力された第1VCO(6a)の出力信号 S_v は第2位相比較器(5b)にも入力される。この第2位相比較器(5b)より出力された信号に変調信号 S_m がアンプ(1b)に於いて加算され第2VCO(6b)の制御信号となりこの制御信号によって第2VCO(5b)の出力信号は S_2 となる。この信号 S_2 は信号 S_1 と同じ周波数で、データ信号 S_m の持つ低周波ジッタの影響が軽減されており更に任意のジッタが付加されている信号である。信号 S_2 は前記の第2位相比較器(5b)に入力されると共に第2ミキサ(2b)へ入力される。この第2ミキサ(2b)のもう一方の入力には、第1ミキサ(2a)へ入力された信号とおなじローカル信号 S_L が入力される。

信号 S_2 は第2ミキサ(2b)に於いてローカル信号 S_L とミキシングされローパスフィルター(7b)を通過して信号 S_2 となる。この信号 S_2 は実際に入力されたデータ信号の基本周波数と同じ周波数で任意のジッタが付加された、しか

を得ることが可能になる。

4. 図面の簡単な説明

第1図は本発明のブロック構成図を、第2図は第1図におけるタイミングチャートを示している。第3図は従来のジッタ付加装置のブロック構成図を示している。第4図は従来のジッタ付加装置に於いて入力データ信号と公称レート信号との間に周波数オフセットが無く、更に入力データ信号が低周波のジッタを有していないと仮定した場合のタイミングチャートを示している。第5図は従来のジッタ付加装置に於いて公称レート信号と入力データ信号との間に周波数オフセットが存在し且つ入力データ信号が低周波ジッタを有している場合のタイミングチャートを示している。

1 a ~ 1 c ; バッファアンプ

2 a , 2 b ; ミキサ

3 ; ローカル発振器

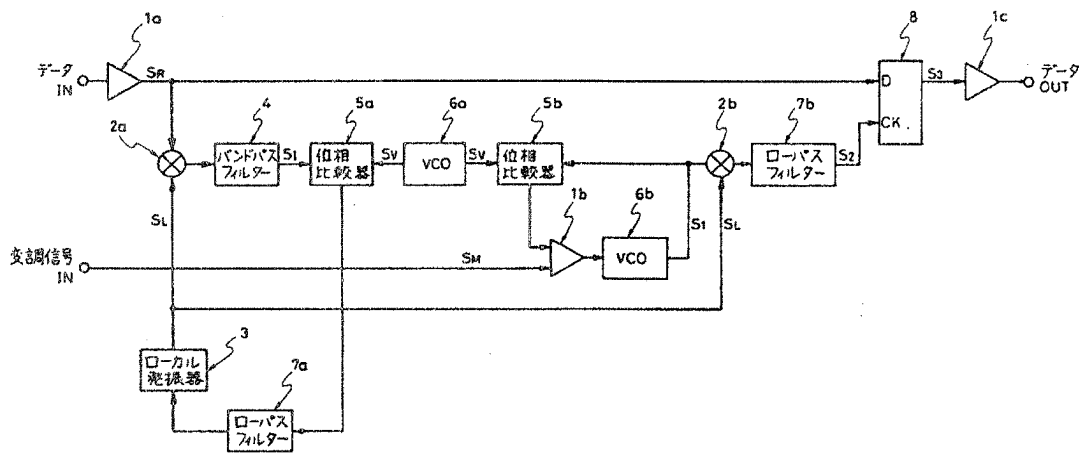
4 ; バンドパスフィルター

5 , 5 a , 5 b ; 位相比較器

6 , 6 a , 6 b ; 電圧制御発振器 (VCO)

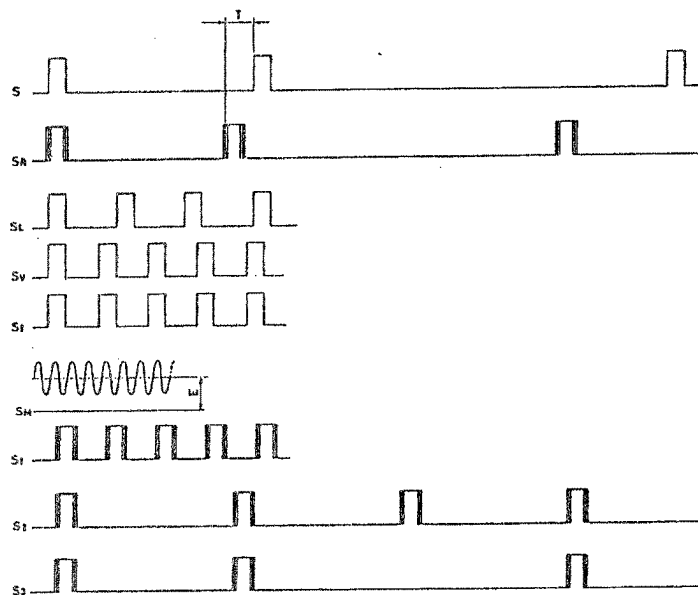
特開昭63-179616(5)

- 7, 7a, 7b; ローパスフィルター
- 8; 同期回路
- T; 周波数オフセット
- E; 直流電圧
- S; 公称レート信号
- S_a; 入力データ信号
- S_L; ローカル信号
- S_I; IF信号
- S_V; 第1VCOの出力信号
- S_x; 変調信号
- S₁; 第2VCO(変調発振器)の出力信号
- S₂; 再生クロック信号
- S₃; 同期回路の出力信号

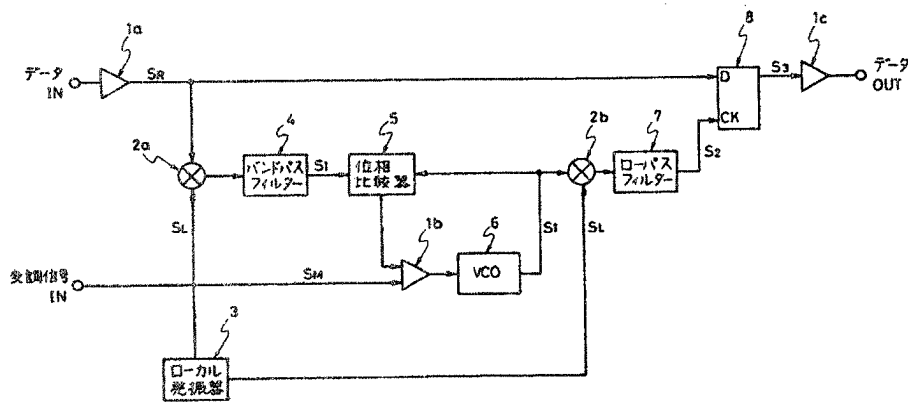


第 1 図

特開昭63-179616(6)

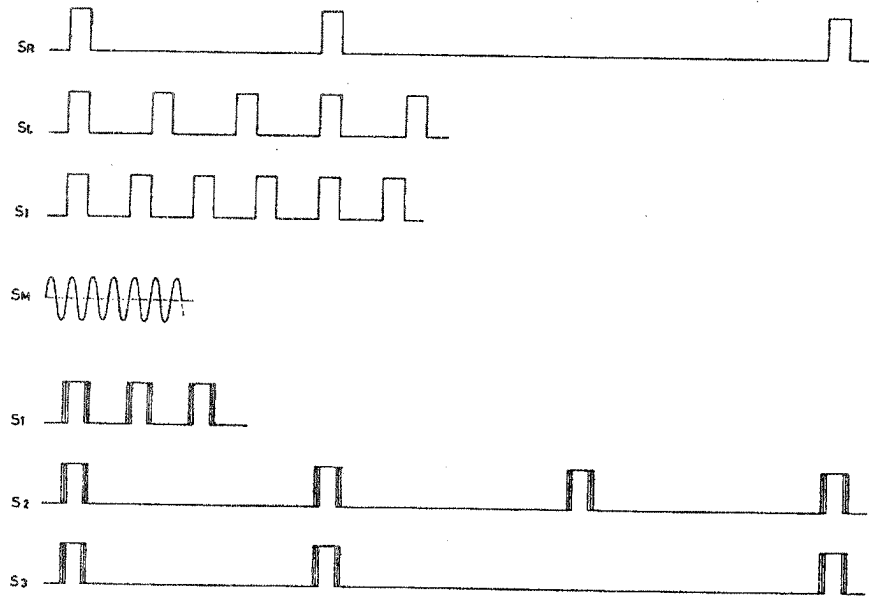


第 2 図

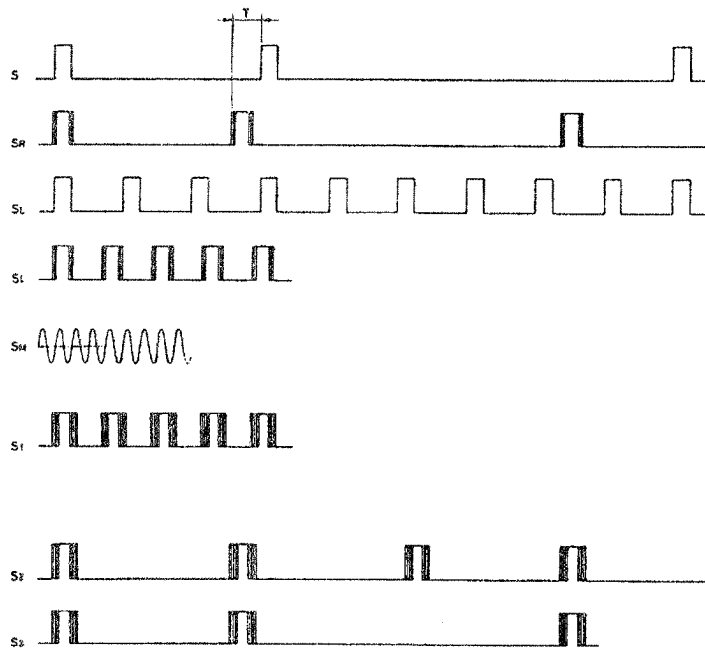


第 3 図

特開昭63-179616(7)



第 4 図



第 5 図